



(11)特許出願公開番号

特開2002-109527

(P2002-109527A)

(43)公開日 平成14年4月12日(2002.4.12)

(51) Int.Cl.<sup>7</sup>

識別記号

FI

テーマコード\* (参考)

G O 6 T 1/60

450

G O 6 T 1/60

450D 2C087

**B 4 1 J 5/30**

B 4 1 J 5/30

Z 2C187

H04N 1/21

H04N 1/21

5 B 0 4 7

5 C 0 7 3

審査請求 未請求 請求項の数22 O L (全 22 頁)

(21)出願番号 特願2000-294602(P2000-294602)

(22)出願日 平成12年9月27日(2000.9.27)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72)発明者 梶木 杉高

東京都大田区中馬込1丁目3番6号株式会社  
リコー内

(74) 代理人 100110319

弁理士 根本 恵司

Fターム(参考) 2C087 AA03 AA09 BA03 BB10 BC07

BD40

2C187 AD03

5B047 AA01 CB25 EA07 EB04

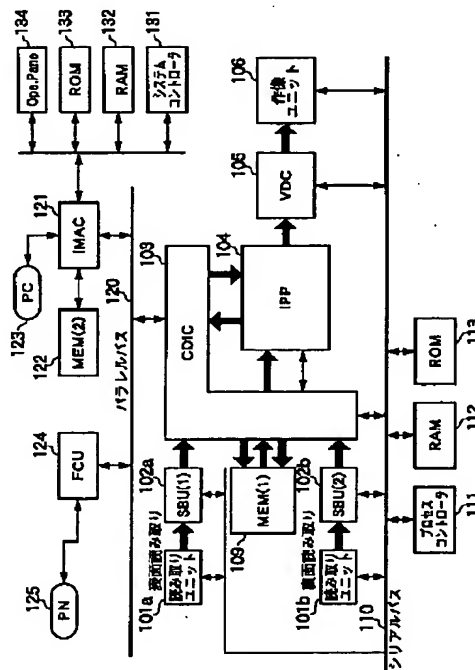
50073 AA03 AB08 BA03

(54) 【発明の名称】 画像入出力装置、画像蓄積装置、画像処理装置及び画像データ処理方法

(57) 【要約】

【課題】 原稿表裏面の同時読取のように複数の画像情報が入力される場合でも、転送に用いるパラレルバスへの接続口を1つ、転送先の受信チャンネルを1つにし、かつ転送速度を高速化する。

【解決手段】 各読取ユニット１０１a、bで原稿表裏面を同時に読取り、デジタル化された各画像データをデータ圧縮・伸張回路付きＩ／Ｆ制御部１０３のトグルバッファと高速の書き込みバッファを経て、時分割書き込みで一次メモリＭＥＭ(１)１０９に格納する。その後原稿表裏面をシーケンシャルに読出し、画像処理プロセッサ１０４でスキャナ画像処理を行い、パラレルバス１２０、画像メモリ制御部１２１を介して、フレームメモリ・ＨＤＤ１２２に格納する。一次メモリからの読み出しタイミングを一次メモリの入出力をチェックするラインカウンタ信号で直接制御する。



## 【特許請求の範囲】

【請求項1】 複数の画像データを同時に入力する画像データ入力手段、入力された複数の画像データを一次記憶する一次メモリ、一次メモリに対する画像データの入出力を制御するメモリ入出力制御手段、画像データ出力手段を備えた画像入出力装置であり、前記メモリ入出力制御手段は、同時に入力される複数の画像データを時分割で一次メモリへ書き込み、書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出すようにしたことを特徴とする画像入出力装置。 10

【請求項2】 請求項1に記載された画像入出力装置において、前記メモリ入出力制御手段は、入力側にトグルバッファと高速の書き込みバッファを設け、出力側に高速の読み出しバッファを設けたことを特徴とする画像入出力装置。

【請求項3】 請求項1又は2に記載された画像入出力装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とする画像入出力装置。 20

【請求項4】 請求項1乃至3のいずれかに記載された画像入出力装置において、前記画像データ入力手段が原稿の表裏両面を同時に読み取り、複数の画像データを入力する原稿読み取り手段であることを特徴とする画像入出力装置。

【請求項5】 請求項4に記載された画像入出力装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏両面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とする画像入出力装置。 30

【請求項6】 複数の画像データを同時に入力する画像データ入力手段、入力された複数の画像データにデータ圧縮処理を施す画像データ処理手段、圧縮処理後の複数の画像データを蓄積するフレームメモリを備えた画像蓄積装置において、入力された複数の画像データを一次記憶する一次メモリ、一次メモリに対する画像データの入出力を制御するメモリ入出力制御手段を設け、前記メモリ入出力制御手段は、同時に入力される複数の画像データを時分割で一次メモリへ書き込み、書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出し、前記画像データ処理手段に出力するようにしたことを特徴とする画像蓄積装置。 40

【請求項7】 請求項6に記載された画像蓄積装置において、前記メモリ入出力制御手段は、入出力する画像デ 50

ータをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とする画像蓄積装置。

【請求項8】 請求項6又は7に記載された画像蓄積装置において、前記画像データ入力手段が原稿の表裏両面を同時に読み取り、複数の画像データを入力する原稿読み取り手段であることを特徴とする画像蓄積装置。

【請求項9】 請求項8に記載された画像蓄積装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏両面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とする画像蓄積装置。

【請求項10】 原稿の表裏両面を同時に読み取る原稿読み取り手段、読み取られた表裏両面の画像データに圧縮伸張処理、補正処理を含む画像処理を施す画像データ処理手段、画像処理後の表裏両面の画像データを蓄積するフレームメモリを備えた画像処理装置において、入力された表裏両面の画像データを一次記憶する一次メモリ、一次メモリに対する画像データの入出力を制御するメモリ入出力制御手段を設け、前記メモリ入出力制御手段は、同時に入力される表裏両面の画像データを時分割で一次メモリへ書き込み、書き込まれた表裏両面の画像データを画像データ毎にシーケンシャルに一次メモリから読み出し、前記画像データ処理手段に出力するようにしたことを特徴とする画像処理装置。 50

【請求項11】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号に直接応じて、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とする画像処理装置。

【請求項12】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、原稿読み取りプロセスを制御するCPUに割込みをかけ、CPUが発行するメモリリードコマンドに応じて、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とする画像処理装置。

【請求項13】 請求項10に記載された画像処理装置

において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行するメモリリードコマンドに応じて、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とする画像処理装置。

【請求項14】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とする画像処理装置。

【請求項15】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割込みをかけ、CPUが発行するメモリリードコマンドに応じて、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とする画像処理装置。

【請求項16】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行するメモリリードコマンドに応じて、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とする画像処理装置。

【請求項17】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号に直接応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことを特徴とする画像処理装置。

【請求項18】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリからの読み出しが予め設

定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割込みをかけ、CPUが発行する読み込みコマンドに応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことを特徴とする画像処理装置。

【請求項19】 請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行する読み込みコマンドに応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことを特徴とする画像処理装置。

【請求項20】 複数の画像データを同時に入力する画像データ入力手段により入力された複数の画像データを画像データ毎にシーケンシャルに出力させる画像データ入出力方法であって、同時に入力された複数の画像データを時分割で一次メモリへ書き込む工程、一次メモリに書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出す工程の各工程を有することを特徴とする画像データ入出力方法。

【請求項21】 複数の画像データを同時に入力する画像データ入力手段により入力された複数の画像データにデータ圧縮処理を施し、圧縮処理を施された画像データをフレームメモリに蓄積する画像データ蓄積方法であって、同時に入力された複数の画像データを時分割で一次メモリへ書き込む工程、一次メモリに書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出す工程、一次メモリからシーケンシャルに読み出された画像データにデータ圧縮処理を施す工程の各工程を有することを特徴とする画像データ蓄積方法。

【請求項22】 原稿の表裏各面を同時に読み取る原稿読み取り手段により読み取られた表裏各面の画像データにデータ圧縮処理を施し、圧縮処理を施された表裏各面の画像データをフレームメモリに蓄積し、フレームメモリに蓄積された画像データを取り出し伸長処理及び補正処理を含む画像処理を施した後、出力する画像データ処理方法であって、同時に入力された表裏各面の画像データを時分割で一次メモリへ書き込む工程、一次メモリに書き込まれた表裏各面の画像データを画像データ毎にシーケンシャルに一次メモリから読み出す工程、一次メモリからシーケンシャルに読み出された表裏各面の画像データにデータ圧縮処理を施す工程の各工程を有することを特徴とする画像データ処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複写機、画像ファ

イリリング装置、プリンタ、ファクシミリ、スキャナ、MFP(コピー、ファクシミリ、プリンタ、スキャナ等の複合機)等の画像情報を扱うデジタル装置に応用し得る画像データ入出力方法、画像データ蓄積方法及び画像データ処理方法、並びに画像入出力装置、画像蓄積装置及び画像処理装置に関し、より詳細には、同時に複数の画像情報が入力され、入力された各画像情報を処理する場合に、手順を複雑化せず或いは装置規模を大きくせず、短い処理時間で各画像情報の入出力、蓄積、画像データ処理を行い出力するための技術に関する。

#### 【0002】

【従来の技術】従来より画像情報を扱う諸種の装置においては、入力された画像情報に各種の処理を施すため、或いは、入力された画像情報を所望の時に利用するために、入力画像を蓄積する手段を備えている。例えば、デジタル複写機においてもこうした画像情報の蓄積手段を備え、画像読取装置(イメージスキャナ)にて読み取った原稿の画像情報を蓄積手段に蓄積し、利用時に蓄積手段から取り出した画像情報に、設定された処理モードの処理を施し、コピー出力するようにしている(後記図6～11に関する説明、参照)。ところで、近年、環境への配慮から資源、例えば用紙の節約のために用紙の表面と裏面の両面を利用して情報を記載することが行われ、複写機においても用紙の両面へのコピーを行うことが多くなってきている。従って、こうした用紙の両面に情報が記載された原稿(以下「両面原稿」と記す)を複写する場合、或いは電子ファイリング装置(画像情報を電子化ファイルとして蓄積・管理し、画像情報を利用する装置)のように、両面原稿に記載された情報をファイリングする場合、イメージスキャナにて原稿の両面を読み取る操作を行っている。このとき簡易なイメージスキャナでは、片面のみの読み取り機能しかないので、表面の読み取り後にオペレータが原稿を反転させて裏面の読み取りを行っている。また、両面の読み取り機能を持つ装置においては、一旦表面を読み取った後、機械的な機構にて原稿を反転させてから裏面を読み取っている。但し、この種の装置では原稿を反転させる機能を機械的に実現するため、読み取りに時間を要したり、装置が大きくなったり、故障し易い、あるいは原稿を傷めるという問題があった。そこで、最近両面原稿を読み取る際、表面と裏面の両側に読み取り装置を設け、表面と裏面を同時に読み取ることで読み取り時間の短縮化を図るようにした図12に示すような装置が開発されている(詳細は、図12に関する後記説明、参照)。しかし、図12に参照される装置では、表面と裏面の両方を同時に読み取るため、CCD等のイメージセンサを持つ読み取りユニットと、読み取った画像データの補正処理及び圧縮/伸張等のより高機能な画像処理を行うブロックが表面用と裏面用に別々に必要となり、又画像蓄積手段との間を結ぶパラレルバスへの接続口も別々に必要となることか

ら、装置を小型化できなかったり、コストアップにつながるという面もあった。

#### 【0003】

【発明が解決しようとする課題】そこで、表面と裏面を同時に読み取る図12に参照される方式における上述の問題点を解決するために、他の方式が検討されている。その方式は、画像蓄積手段との間を結ぶパラレルバスへの接続口を1ポートとし、表面と裏面のデータに対し2チャンネル分の受信チャンネルを設けるようにした例(詳細は、図13に関する後記説明、参照)、さらに図13に参照される方式において、1チップで表面と裏面の画像処理が可能な画像処理プロセッサを導入した例(詳細は、図14に関する後記説明、参照)にて示すことができる。しかしながら、図13及び図14に参照される方式では、原稿の表面と裏面の双方の画像データがパラレルバスに出力され、蓄積手段である画像メモリのアクセス制御部(IMAC)からフレームメモリあるいはハードディスク装置(HDD)に書き込まれるため、IMACに受信チャンネルが2チャンネル必要になり、またHDD等に格納する場合は、HDDへの書き込み速度が現状20Mバイト/秒とあまり早くないため、読み取り側の処理ブロックからパラレルバスを介して送られてくる画像データの転送速度に合わせるためには、2つのHDDを用意し、表面と裏面のHDDを別個に持つ必要がある。また、HDDへの書き込み速度が向上したとしても、一般にHDDに書き込む際は、さらにデータに圧縮をかけて格納するため、表面データに対するHDD上の格納スタートアドレスは決定できるが、裏面データに対する格納スタートアドレスが決定できない場合が存在する。というのは、表面の圧縮に可変長圧縮を用いると表面の圧縮後の画像データサイズがわからないからである。この場合、仕方なく最も圧縮率が低い場合を想定して裏面のHDD格納アドレスを決定せざるを得ない。こうなると、両面原稿が多数ある場合、中には圧縮率が高いデータが含まれるためにHDDに空き領域が存在するようになり無駄が増えることになる。本発明は、上記従来例及び上記先行例における問題点に鑑みてなされたもので、その解決課題は、原稿の表面と裏面の同時読み取りによる入力のように、同時に複数の画像情報が入力される場合でも、転送先に接続されるパラレルバスへの接続口を1つにし、データ転送を1チャンネルで行うようにして、転送先の受信制御或いは記憶装置を転送先とする場合にそのアクセス処理を簡易化することを可能にして、上記従来例及び上記先行例において起きた問題点の要因を発生させないようにすることにある。また、同時に入力された複数の画像データをシーケンシャルに出力することが、上記課題を解決する必要条件となるが、そのときに利用する一次メモリのASICのインターフェース回路の高速化(転送速度の高速化)を実現することをさらなる解決課題とする。また、同時に入力された複

7

数の画像データをシーケンシャルに出力することが、上記課題を解決する必要条件となるが、そのときに利用する一次メモリからの読み出しアクセスの制御の容易化を図ることをさらなる解決課題とする。また、原稿読取りプロセスを制御するCPUにおいて、原稿間の画像データの読み込みコマンド間隔をできる限り短くし、原稿の読取り速度向上を図ることをさらなる解決課題とする。

#### 【0004】

【課題を解決するための手段】請求項1の発明は、複数の画像データを同時に入力する画像データ入力手段、入力された複数の画像データを一次記憶する一次メモリ、一次メモリに対する画像データの入出力を制御するメモリ入出力制御手段、画像データ出力手段を備えた画像入出力装置であり、前記メモリ入出力制御手段は、同時に入力される複数の画像データを時分割で一次メモリへ書き込み、書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出すようにしたことを特徴とする画像入出力装置である。

【0005】請求項2の発明は、請求項1に記載された画像入出力装置において、前記メモリ入出力制御手段は、入力側にトグルバッファと高速の書き込みバッファを設け、出力側に高速の読み出しバッファを設けたことを特徴とするものである。

【0006】請求項3の発明は、請求項1又は2に記載された画像入出力装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とするものである。

【0007】請求項4の発明は、請求項1乃至3のいずれかに記載された画像入出力装置において、前記画像データ入力手段が原稿の表裏各面を同時に読み取り、複数の画像データを入力する原稿読取り手段であることを特徴とするものである。

【0008】請求項5の発明は、請求項4に記載された画像入出力装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とするものである。

【0009】請求項6の発明は、複数の画像データを同時に入力する画像データ入力手段、入力された複数の画像データにデータ圧縮処理を施す画像データ処理手段、圧縮処理後の複数の画像データを蓄積するフレームメモリを備えた画像蓄積装置において、入力された複数の画

8

像データを一次記憶する一次メモリ、一次メモリに対する画像データの入出力を制御するメモリ入出力制御手段を設け、前記メモリ入出力制御手段は、同時に入力される複数の画像データを時分割で一次メモリへ書き込み、書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出し、前記画像データ処理手段に出力するようにしたことを特徴とする画像蓄積装置である。

【0010】請求項7の発明は、請求項6に記載された画像蓄積装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とするものである。

【0011】請求項8の発明は、請求項6又は7に記載された画像蓄積装置において、前記画像データ入力手段が原稿の表裏各面を同時に読み取り、複数の画像データを入力する原稿読取り手段であることを特徴とするものである。

【0012】請求項9の発明は、請求項8に記載された画像蓄積装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とするものである。

【0013】請求項10の発明は、原稿の表裏各面を同時に読み取る原稿読取り手段、読み取られた表裏各面の画像データに圧縮伸張処理、補正処理を含む画像処理を施す画像データ処理手段、画像処理後の表裏各面の画像データを蓄積するフレームメモリを備えた画像処理装置において、入力された表裏各面の画像データを一次記憶する一次メモリ、一次メモリに対する画像データの入出力を制御するメモリ入出力制御手段を設け、前記メモリ入出力制御手段は、同時に入力される表裏各面の画像データを時分割で一次メモリへ書き込み、書き込まれた表裏各面の画像データを画像データ毎にシーケンシャルに一次メモリから読み出し、前記画像データ処理手段に出力するようにしたことを特徴とする画像処理装置である。

【0014】請求項11の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号に直接応じて、一次メモリからの画像データの読み出しを開始するようにしたこ

とを特徴とするものである。

【0015】請求項12の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、原稿読み取りプロセスを制御するCPUに割込みをかけ、CPUが発行するメモリリードコマンドに応じて、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とするものである。

【0016】請求項13の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行するメモリリードコマンドに応じて、一次メモリからの画像データの読み出しを開始するようにしたことを特徴とするものである。

【0017】請求項14の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とするものである。

【0018】請求項15の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割込みをかけ、CPUが発行するメモリリードコマンドに応じて、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴とするものである。

【0019】請求項16の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する原稿の表裏各面の画像データをライン数で管理するためのラインカウンタを持ち、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行するメモリリードコマンドに応じて、他方の原稿面の画像データ読み出しを開始するようにしたことを特徴と

するものである。

【0020】請求項17の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号に直接応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことを特徴とするものである。

【0021】請求項18の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割込みをかけ、CPUが発行する読み込みコマンドに応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことを特徴とするものである。

【0022】請求項19の発明は、請求項10に記載された画像処理装置において、前記メモリ入出力制御手段は、入出力する画像データをライン数で管理するためのラインカウンタを持ち、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行する読み込みコマンドに応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことを特徴とするものである。

【0023】請求項20の発明は、複数の画像データを同時に入力する画像データ入力手段により入力された複数の画像データを画像データ毎にシーケンシャルに出力させる画像データ入出力方法であって、同時に入力された複数の画像データを時分割で一次メモリへ書き込む工程、一次メモリに書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出す工程の各工程を有することを特徴とする画像データ入出力方法である。

【0024】請求項21の発明は、複数の画像データを同時に入力する画像データ入力手段により入力された複数の画像データにデータ圧縮処理を施し、圧縮処理を施された画像データをフレームメモリに蓄積する画像データ蓄積方法であって、同時に入力された複数の画像データを時分割で一次メモリへ書き込む工程、一次メモリに書き込まれた複数の画像データを画像データ毎にシーケンシャルに一次メモリから読み出す工程、一次メモリからシーケンシャルに読み出された画像データにデータ圧縮処理を施す工程の各工程を有することを特徴とする画像データ蓄積方法である。



【0025】請求項22の発明は、原稿の表裏各面を同時に読み取る原稿読み取り手段により読み取られた表裏各面の画像データにデータ圧縮処理を施し、圧縮処理を施された表裏各面の画像データをフレームメモリに蓄積し、フレームメモリに蓄積された画像データを取り出し伸長処理及び補正処理を含む画像処理を施した後、出力する画像データ処理方法であって、同時に入力された表裏各面の画像データを時分割で一次メモリへ書き込む工程、一次メモリに書き込まれた表裏各面の画像データを画像データ毎にシーケンシャルに一次メモリから読み出す工程、一次メモリからシーケンシャルに読み出された表裏各面の画像データにデータ圧縮処理を施す工程の各工程を有することを特徴とする画像データ処理方法である。

#### 【0026】

【発明の実施の形態】本発明を添付する図面とともに示す以下の実施例に基づき説明する。本実施例を説明するに先立ち、本実施例の基礎となるデジタル画像処理装置（先行例）に関し、以下に説明する。この先行例は、デジタル画像信号にもとづいて転写紙に画像を形成する装置を備え、特にスキャナから読み込んだ画像データにより画像を再生する機能（コピー機能）、ファクシミリ送受信機能、PC（パーソナルコンピュータ）からネットワークを通して受信するプリント用データに基づくプリンタ出力機能を複合して持った装置（MFP）に関するものである。

【0027】図6は、先行例のMFPのシステムブロックを示すものである。図6を参照して、先行例のMFPの構成とその動作に関する説明として、先ずスキャナから読み込んだ画像データにより画像を再生する機能及びプリンタ出力機能について述べる。原稿を光学的に読み取る読み取りユニット601は、原稿をランプ、ミラー及びレンズよりなる読み取り光学系により走査し、ランプにより照射される原稿からの反射光を受光素子に集光、結像する。受光素子（本例では、CCDとする）は、SBU（センサーボードユニット）602に搭載され、CCDにより電気信号に変換された画像信号はデジタル信号に変換された後、SBU602から出力される。SBU602から出力される画像信号はCDIC（データ圧縮／伸張回路付きのデータインターフェース 40 制御部）603に入力される。各種機能デバイス及びデータバス間における画像データの伝送はCDIC603が全て制御する。即ち、CDIC603は、SBU602、パラレルバス620、IPP（画像処理プロセッサ）604間の画像データの転送、画像データに対するプロセスコントローラ611とMFPの全体制御を司るシステムコントローラ631との間の通信を行う。SBU602からの画像信号はCDIC603を経由してIPP604に転送され、読み取り光学系及びデジタル信号への量子化に伴う信号劣化（スキャナ系の信号劣化 50

とする）を補正し、再度CDIC603へ出力される。IPP604からCDIC603へ転送されたデータは、CDIC603からパラレルバス620を経由してIMAC（画像メモリアクセス制御部）621に送られる。また、IMAC621へは、ネットワーク或いはシリアルバスを経由してPC623からプリント用データも送られてくる。

【0028】IMAC621では、システムコントローラ631の制御下で画像データとMEM（メモリーモジュール）622のアクセス制御、外部PC（パーソナルコンピュータ）623のプリント用データの展開、メモリ有効活用のための画像データの圧縮／伸張を行う。IMAC621においてデータ圧縮された後、そのデータをMEM622へ蓄積し、蓄積データはシステムコントローラ631の指令によりMEM622から必要に応じて読み出され利用される。この時、読み出しデータは伸張され、本来の画像データに戻され、IMAC621からパラレルバス620経由でCDIC603へ戻される。CDIC603からIPP604への転送された画像データに画質処理（CCDによる輝度データを面積諧調に変換）を施した後、このデータにもとづいてVDC（ビデオデータ制御部）605での書き込み光のパルス制御を行い、作像ユニット606において、転写紙上に再生画像を形成する。こうした画像データの流れにより、パラレルバス620及びCDIC603でのバス制御により、MFPの機能としてスキャナから読み込んだ画像データにより画像を再生する機能を実現する。

【0029】このMFPのFAX送信機能及びFAX受信機能について述べる。FAX送信機能は、読み取り画像データをIPP604にて画像処理し、CDIC603及びパラレルバス620を経由してFCU（FAX制御ユニット）624へ転送する。FCU624にて通信網へのデータ変換を行い、PN（公衆回線）625へFAXデータとして送信する。FAX受信機能は、PN625からの回線データをFCU624にて画像データへ変換し、パラレルバス620及びCDIC603を経由してIPP604へ転送される。この場合特別な画質処理は行わず、VDC605においてドット再配置及びパルス制御を行い、作像ユニット606において転写紙上に再生画像を形成する。このMFPでは、複数ジョブ、例えばコピー機能、FAX送受信機能、プリンタ出力機能が並行に動作する状況において、読み取りユニット601、作像ユニット606及びパラレルバス620の使用権のジョブへの割り振りをシステムコントローラ631及びプロセスコントローラ611にて制御する。プロセスコントローラ611は画像データの流れを制御し、システムコントローラ631はシステム全体を制御し、各リソースの起動を管理する。MFPの機能は、Ope.Pane（操作部）634にてユーザの入力操作により選択され、操作に従ってコピー機能、FAX機能等の処理モー



ドが設定される。システムコントローラ631とプロセスコントローラ611はパラレルバス620、CDIC603及びシリアルバス610を介して相互に通信を行う。そのため、CDIC603内においてパラレルバス620とシリアルバス610とのデータインターフェースのためのデータフォーマット変換を行う。

【0030】図7に図6に示したIPP（画像処理プロセッサ）604の画像処理部の概略ブロック図を示す。図7を参照してこの画像処理部の構成とその動作について説明する。読み取り画像はSBU602、CDIC603を介してIPP604の入力I/F701からスキャナ画像処理部702へ伝達される。ここでは、読み取り画像信号の劣化補正が目的で、シェーディング補正、スキャナ補正、MTF補正等を行うとともに、補正処理ではないが、拡大／縮小の変倍処理も行う。読み取り画像データの補正処理が終了した後、出力I/F703を介してCDIC603へ画像データを転送する。また、転写紙への出力を行う場合、CDIC603からの画像データを入力I/F704より受け、画質処理部705において面積階調処理を行う。画質処理後のデータは出力I/F706を介してVDC605へ出力される。面積階調処理は、濃度変換、ディザ処理、誤差拡散処理等が有り、階調情報の面積近似を主な処理とする。一旦スキャナにより取り込まれ画像処理された画像データをMEM622に蓄積しておけば、画質処理を変えることによって種々の再生画像を確認することができる。例えば再生画像の濃度を振ってみたり、ディザマトリクスの線数を変更してみたりすることで、再生画像の雰囲気を変更できる。この時、処理を変更する度に画像を読み取りユニット601から読み込み直す必要はなく、MEM622から蓄積画像を読み出せば同一データに対し、何度でも異なる処理を実施できる。また、単体スキャナの場合、スキャナ画像処理と階調処理を合せて実施し、CDIC603へ出力する。処理内容はプログラマブルに変更する。この処理の切り替え、処理手順の変更等はコマンド制御部707において管理する。

【0031】図8に図6に示したCDIC（データ圧縮／伸張回路付きのデータインターフェース制御部）603の概略ブロック図を示す。図8を参照して、CDIC603の構成とその動作について説明する。画像データ入出力制御部801はSBU602からの画像データを入力し、IPP604に対してデータを出力する。画像データ入力制御部802では、IPP604でスキャナ画像補正されたデータが入力される。入力データはパラレルバスでの転送効率を高めるためにデータ圧縮部803において、データ圧縮を行い、パラレルデータI/F805を介してパラレルバス620へ送出される。一方、パラレルデータバス620からパラレルデータI/F805を介して入力される画像データは、バス転送のために圧縮されており、データ伸張部806で伸張され

る。伸張された画像データは画像データ出力制御部807においてIPP604へ転送される。CDIC603は、パラレルデータとシリアルデータの変換機能を併せ持つ。システムコントローラ631はパラレルバス620にデータを転送し、プロセスコントローラ611はシリアルバス610にデータを転送する。これら2つのコントローラ631、611の通信のためにデータ変換を行うデータ変換部804を備え、シリアルデータI/F808を介してシリアルバス610に接続する。シリアルデータI/F809はIPP604用にも更に1系統持ち、IPP604ともI/Fする。

【0032】図9に図6に示したVDC605の概略ブロック図を示す。図9を参照して、VDC605の構成とその動作について説明する。VDC605は、入力される画像データに対し作像ユニット606の特性に応じて、追加の処理を行う。追加の処理は、IPP604からのデータにエッジ平滑処理部901でエッジ平滑処理を施すことによりドットの再配置処理を行い、パルス制御部902にて画像を描画するドット形成のための画像信号のパルス制御を行い、処理された画像データを作像ユニット606に対して出力する。画像データの変換とは別に、パラレルバス620に接続されたパラレルデータI/F903とシリアルバス610に接続されたシリアルデータI/F904の間にデータ変換部905を設けることにより、パラレルデータとシリアルデータのフォーマット変換機能を併せ持ち、VDC605単体でもシステムコントローラ631とプロセスコントローラ611の通信に対応できるように構成する。

【0033】図10に図6に示したIMAC（画像メモリアクセス制御部）621の概略ブロック図を示す。図10を参照して、IMAC621の構成とその動作について説明する。IMAC621は、パラレルデータI/F1001によりパラレルバス620との画像データのインターフェースを管理し、MEM622への画像データの書き込み／読み出しと、主に外部のPC623から入力されるコードデータの画像データへの展開を制御する。PC623から入力されたコードデータはラインバッファ1004において、ローカル領域でのデータの格納を行う。ラインバッファ1004に格納されたコードデータは、システムコントローラI/F1002を介して入力されたシステムコントローラ631からの展開処理命令に基づき、ビデオ制御部1005において画像データに展開される。展開された画像データもしくはパラレルデータI/F1001を介してパラレルバス620から入力された画像データは、MEM622に書き込まれる。この場合、データ変換部1008において書き込み対象となる画像データを選択し、データ圧縮部1006においてメモリ使用効率を上げるためにデータ圧縮を行い、メモリアクセス制御部1003にてMEM622のアドレスを管理しながらMEM622に画像デ

ータを書き込む。MEM622に格納された画像データの読み出しは、メモリアクセス制御部1003にて読み出し先アドレスを制御し、読み出された画像データをデータ伸張部1007にて伸張する。伸張された画像データをパラレルバス620へ転送する場合、パラレルデータI/F1001を介してデータ転送を行う。

【0034】図11に図6に示したFCU624の構成の一例のブロック図を示す。FAX送受信部1101は、画像データを通信形式のデータに変換して外部回線に送信し、又、外部からのデータを画像データに戻して外部I/F1102及びパラレルバス620を介して画像ユニット606に画像データを送り込み、記録出力する。FAX送受信部1101は、FAX画像処理部1103、画像メモリ1104、メモリ制御部1105、ファクシミリ制御部1106、画像圧縮伸張部1107、モデム1108及び網制御装置1109からなる。この内、FAX画像処理に関し、受信画像に対する二値スレーシング処理はVDC（ビデオデータ制御部）605のエッジ平滑処理部901において行う。また、画像メモリ1104に関しても、出力バッファ機能に関してはIMAC621及びMEM622にその機能の一部を移行する。このように構成されたFAX送受信部1101では、画像情報の伝送を開始するとき、ファクシミリ制御部1106がメモリ制御部1105に指令し、画像メモリ1104から蓄積している画像情報を順次読み出させる。読み出された画像情報は、FAX画像処理部1103によって元の信号に復元されるとともに、密度変換処理及び変倍処理がなされ、ファクシミリ制御部1106に加えられる。ファクシミリ制御部1106に加えられた画像信号は、画像圧縮伸張部1107によって符号圧縮され、モデム1108によって変調された後、網制御装置1109を介して宛先へと送出される。そして、送信が完了した画像情報は、画像メモリ1104から削除される。受信時には、受信画像は一旦画像メモリ1104に蓄積され、その時に受信画像を記録出力可能であれば、1枚分の画像の受信を完了した時点で記録出力される。又、複写動作時に発呼されて受信を開始したときは、画像メモリ1104の使用率が所定値、例えば80%に達するまでは画像メモリ1104に蓄積し、画像メモリ1104の使用率が80%に達した場合には、その時に実行している書き込み動作を強制的に中断し、受信画像を画像メモリ1104から読み出し記録出力させる。このとき画像メモリ1104から読み出した受信画像は画像メモリ1104から削除し、画像メモリ1104の使用率が所定値、例えば10%まで低下した時点で中断していた書き込み動作を再開させ、その書き込み動作を全て終了した時点で、残りの受信画像を記録出力させている。また、書き込み動作を中断した後に、再開できるように中断時における書き込み動作のための各種パラメータを内部的に退避させ、再開時に、パラメータを内部的

に復帰させる。

【0035】また、本発明の実施例の基礎となるデジタル画像処理装置の他の先行例を説明する。上記では、読み取りユニットとして片面原稿を読み取る装置で構成される例を示したが、ここでは、スキャナから原稿の表面と裏面の画像を同時に読み込んで転写紙に画像を再生するMFP（複合機）について示す。図12は原稿の表面と裏面の両面を読み取り、転写紙に画像を出力する本例のMFP（複合機）のシステムを示すブロック図である。図12に示すシステムは、上記した図6に示すシステムに、原稿の裏面読み取り用として、読み取りユニット1201b、SBU（センサーボードユニット）1202b、CDIC（データ圧縮／伸張回路付きのデータインターフェース制御部）1203b、そしてIPP（画像処理プロセッサ）1204bを追加したシステムとなっている。また、図12に示すシステムでは、表面の読み取り処理データと裏面の読み取り処理データは共有のパラレルバス1220を介して、IMAC1221やFCU1224と画像データのやり取りを行う。共有のパラレルバス1220により表面と裏面の画像処理データをMEM（メモリモジュール）1222に格納するため、IMAC1221に転送する際には、例えば、図17に示すように、表面かあるいは裏面かの識別をするための情報を各画像データに付加して高速送信する。図17(a)の例は、表面と裏面用に別々に送信アドレスを設定する場合で、格納先のMEM1222の領域が表面の画像データを格納する領域と裏面の画像データを格納する領域に分かれていて、格納先アドレスを識別データとしている。図17(b)の例は、メモリアドレス以外に表面か裏面かの識別データを付加する場合である。図12のシステム例において、画像データは圧縮された後であっても大容量のデータとなるため、高速転送のために、一回の転送サイクルで数ワード以上の画像データを一度に送信するバースト転送を用いる。図12のシステム例では、パラレルバス1220への接続口が2つになるので、パラレルバス1220でのバス調停が複雑になり、バスにおける負荷も増えるためデータ転送の際の電気的特性も悪化する。また、例えばパラレルバス1220をPCIバスとすると、この方式ではパラレルバスに接続可能なデバイスの最大数が決まっており、こうした理由から、パラレルバスへの接続口は少なくすることが望ましい。

【0036】図13は、両面読み取りMFPのさらに他の先行システム構成例を示すブロック図である。図13に示す例では、表面、裏面をそれぞれ読み取りユニット1301a、1301bで読み取ってCDIC（データ圧縮／伸張回路付きのデータインターフェース制御部）1303に入力される画像データ用に画像ポートを2チャンネル分設け、より小型化を目指したものである。この例では、表面処理用の画像処理プロセッサIPP(1)

1304aと裏面処理用の画像処理プロセッサIPP(2)1304bがCDIC1303と接続される。CDIC1303からパラレルバス1320への接続は1ポートとなる。従って、パラレルバスへの接続口を少なくすることができ、図12のシステムにおける問題点を解消することが可能となる。

【0037】図13のシステムでは、画像処理プロセッサが表面処理用の画像処理プロセッサIPP(1)1304aと裏面処理用の画像処理プロセッサIPP(2)1304bとして表裏で別個に設けられているが、画像処理プロセッサの処理能力が向上し、1チップで表面と裏面の画像処理が可能になると図14に示すような構成を採用することが可能となる。図14に示すシステム構成を採る先行例の場合、CDIC1403とIPP1404との画像データのやり取りを高速化して、時分割方式でデータ転送が可能になれば、CDIC1403とIPP1404との画像ポートの数を減らすことが出来、チップの端子数を削減できるようになる。図15に図14に示したCDIC1403の概略ブロック図を示す。図15に示すように、CDIC1403の内部構成は、上記図8(片面読み取りの例)の場合に比べ、表面用のデータ圧縮部(1)1503aと裏面用のデータ圧縮部(2)1503bが存在する。図16に図14に示したIPP1404の概略ブロック図を示す。図16に示すように、IPP1404の内部構成は、上記図7(片面読み取りの例)の場合に比べ、スキャナ画像処理モジュールとして表面用のスキャナ画像処理部(1)1602aと裏面用のスキャナ画像処理部(2)1602bが存在する。

【0038】図13及び図14に示す例では、パラレルバス1320、1420に接続する接続口は1つにでき、図12のシステムが改良されているが、また別の問題が存在する。図13及び図14のシステムでは、原稿の表面と裏面の双方の画像データがパラレルバス1320、1420に出力され、IMAC(画像メモリアクセス制御部)1321、1421からフレームメモリあるいはハードディスク装置(HDD)を有するMEM1322、1422に書き込まれるため、IMAC1321、1421に受信チャンネルが2チャンネル必要になり、またHDD等に格納する場合は、HDDへの書き込み速度が現状20Mバイト/秒とあまり早くないため、2つのHDDを用意し、表面と裏面用にHDDを別に持つ必要がある。また、HDDへの書き込み速度が向上し、1つのHDDに格納することができたとしても、一般にHDDに書き込む際はさらに圧縮をかけて格納するため、HDD上の表面の格納スタートアドレスは決定できるが、裏面の格納スタートアドレスが決定できない場合が存在する。というのは、表面の圧縮に可変長圧縮を用いると表面の圧縮後の画像データサイズがわからないからである。この場合、仕方なく最も圧縮率が低い場合を想定して裏面のHDD格納アドレスを決定せざるを得

ない。こうなると両面原稿が多数ある場合、中には圧縮率が高いデータが含まれるためにHDDに空き領域が存在するようになり無駄が増えることになる。

【0039】次に、本発明の実施例を説明する。本発明は、上記図6乃至17を参照して説明した先行例における課題を解決することを目的に包含するものであり、本実施例には、次の点が考慮されている。まず、図12に示した先行例では、CDIC1203a、1203bを表面用と裏面用の別々に設け、従ってパラレルバス1220への接続口が2口となっているが、本実施例では接続口を1つにする。これは、接続口が増えるとパラレルバス1220上でのバス調停が複雑になり、またバス上での負荷も増加するためデータ転送の際の電気的特性の悪化を招くからであり、また、PCIバス等では、同一バスに接続されるデバイス数の最大値が決まっているため、できる限り接続口は減らしたいという要求に応えるためである。また、原稿表面及び裏面の同時読み取りを実現する図13及び図14に示した先行例では、パラレルバス1320、1420への接続口を1つにしているが、パラレルバス1320、1420を介して行われ、表面と裏面の画像データのフレームメモリ(MEM1322、1422)への送信が時分割で同時に行われるため、IMAC(画像メモリアクセス制御部)1321、1421側に表面用と裏面用の2つの受信チャンネルが必要となり、IMAC1321、1421での受信調停が複雑になる。さらにフレームメモリを介してハードディスク装置(いずれもメモリモジュールMEM1322、1422に備える)に格納する場合、転送速度に合わせるために、現状ではHDDを表面用と裏面用の2つ持つ必要がある。これを避けるため、さらにIMAC1321、1421内でも圧縮を行うが、圧縮方法として可変長圧縮を用いると、圧縮後の画像データサイズがわからず、HDDを無駄に使うことになり、この状況も回避すべきである。また、先行例の図12~14のシステムでは、パラレルバスに同時に原稿表面と裏面のデータが送信されるため、パラレルバスとしてかなり高速なバスも求められる。こうした点を考慮した結果、本実施例では、CDIC(データ圧縮/伸張回路付きのデータインターフェース制御部)及びIPP(画像処理プロセッサ)を表面と裏面の両面对応とし、さらに同時に入力される複数の画像データを時分割で書き込み、書き込まれた複数の画像データ各々をシーケンシャルに読み出すようにした一次メモリMEM(1)を設けることを構成要件としている。

【0040】図1は、本発明の実施例に係わるMFP(複合機)の概略ブロック図を示す。図1を参照して、本実施例に係わるMFPの構成とその動作について以下に述べる。原稿をセットすると読み取り開始が指示され、原稿の表面、裏面をそれぞれ読み取りユニット101a、101bで同時に読み取る。読み取られた後、SB

19

U(1)102a、SBU(2)102bのCCDにより電気信号に変換された画像信号は、ディジタル信号に変換され、表面と裏面の各画像データとしてSBU(1)102a、SBU(2)102bからCDIC（データ圧縮／伸張回路付きのデータインターフェース制御部）103に入力される。CDIC103に入力される表面と裏面の各画像データは、時分割で書き込むことにより一旦、一次メモリであるMEM(1)109に格納される（この時の動作については後記にて詳述）。その後、まず原稿表面の画像がMEM(1)109より読み出され、IPP（画像処理プロセッサ）104でスキャナ画像処理を行った後、パラレルバス120、IMAC（画像メモリアクセス制御部）121を介して、フレームメモリ、HDDからなるメモリモジュールMEM(2)122のフレームメモリ或いはフレームメモリを介してHDDに格納される。表面の画像データがCDIC103より送信された後に、今度は原稿裏面の画像データがMEM(1)109より読み出され、IPP104、パラレルバス120、IMAC121を介して、フレームメモリあるいはフレームメモリを介してHDDに格納されることになる。このように両面の各画像データをシーケンシャルに読み出し、パラレルバス120を介してIMAC（画像メモリアクセス制御部）121に転送するので、パラレルバス120への接続口は1つで済み、又IMAC（画像メモリアクセス制御部）121側に表面用と裏面用の2つの受信チャネルを必要としない。従って、パラレルバス120として、高価な高速のパラレルバスを必要とせず、またHDDへの書き込み速度が表面と裏面同時では間に合わない場合に、HDDを表面用と裏面用に2つ準備する必要がなく、またHDDへの書き込み速度が間に合う場合でも、表面と裏面の画像データがシーケンシャルにHDDに書き込まれるので、HDDに書き込む際に可変長圧縮をかけても表面の圧縮後の画像サイズがわかり、裏面の画像データのHDDへの書き込みアドレスを表面と連続させることができ、HDD上に無駄な領域を生じさせなくても済むようになる。

【0041】図2は、図1中のCDIC103の概要を示したブロック図である。図2を参照して、CDIC103の構成とその動作を説明する。CDIC103は、SBU(1)102a、SBU(2)102bから原稿表面と裏面の画像データが連続して同時に入力される場合に、これらを時分割で一次メモリMEM(1)109に書き込む出力制御部と、書き込みの最中でも、画像データを読み出すことができる（即ち、書き込みの最中にさらに読み出しを時分割で割り込ませる）入力制御部を搭載している。なお、画像データの読み出しはシーケンシャルにおこなうので、入力制御では、表面か裏面かのいずれかの画像データを読み出すことになり、一方の面が終了してから他方の面を読み出すという制御動作を行う。図3は、図2の画像入出力制御部202の詳細を示したプロ50

20

ック図である。図3を参照して、画像入出力制御部202の構成とその動作を説明する。画像入出力制御部202は、一次メモリMEM(1)109に対する入出力制御部307の入力側に、一次メモリMEM(1)109へ読み取られた表裏面の画像データの時分割書き込みを行うための構成を備える。即ち、表裏面用の各画像データ入力制御部201a、201bを介して入力される原稿表裏面の各データの入力側から順に表面、裏面用にそれぞれ3本のライトトグルバッファ(1)~(3)301a~303a、301b~303b、マルチプレクサ304a、304b、MEMライトバッファ305a、305b及び表裏面用のMEMライトバッファ305a、305bの出力を受けるマルチプレクサ306を備える。また、入出力制御部307の出力側に、単一のMEMリードバッファ308を備える。

【0042】動作時、原稿表裏面の各画像データがそれぞれ100MPixel/Secで入力されるとすると1画素1バイト(8ビット)で表されている場合、片面100Mバイト/Secで画像データが入力される。入力幅が8ビットだと100MHzのクロックで入力する必要があるが、通常パラレル入力、例えば1クロックで2画素分の画像データをパラレルに入力する場合50MHzのクロックで入力すればよいことになる。スキャナ読み取り部より表裏面用の各画像データ入力制御部201a、201bを介して入力される原稿表裏面の各画像データは、まず表裏面用の1本目のライトトグルバッファ(1)301a、301b各々に、50MHzの書き込み速度で格納される。3本のライトトグルバッファ(1)~(3)301a~303a、301b~303b各々は256画素程度の格納領域を持ち、先ず1本目のトグルバッファ(1)301a、301bに256画素が格納され、一杯になったら2本目のトグルバッファ(2)302a、302bに、トグルバッファ(2)302a、302bが一杯になったら3本目のトグルバッファ(3)303a、303bにというように画像データが格納される。表裏面用の各MEMライトバッファ305a、305bは、一次メモリMEM(1)109への書き込み用のバッファで、表裏面用に各々設けた3本のライトトグルバッファ(1)~(3)301a~303a、301b~303bのいずれかが一杯になった時点で、ライトトグルバッファ(1)~(3)301a~303a、301b~303bから画像データを読み出し、表裏面用の各MEMライトバッファ305a、305bに50MHzのクロック速度で書き込みを行う。このMEMライトバッファ305a、305bが一杯になると、一次メモリMEM(1)109への書き込みを、例えば、クロック速度100MHzの高速バースト書き込みによって行う。一次メモリMEM(1)109としては、シンクロナスDRAM(SDRAM)等を用いることができる。なお、表裏面用の各画像データ入力制御部201a、201bを介して入力される原稿表裏面の各読み取り画像データの入力は、

非同期で、まず表面データが入力され始めてから、若干遅れて裏面データが入力される。

【0043】一方、一次メモリMEM(1)109からの読出しは、上記ラインカウンタを用い、予め読み取りプロセスを制御するプロセスコントローラ111から設定されたライン数分だけ一次メモリMEM(1)109に書き込まれたら、画像データの読出しを行う方法がある。また、別の方法として予め設定されたライン数分だけ一次メモリMEM(1)109に書き込まれたら、読取りプロセスを制御するプロセスコントローラ111に割り込み<sup>10</sup>を発生し、この割り込みを受けた読取りプロセスを制御するCPUが一次メモリMEM(1)109に読み出しコマンドを発行することにより、一次メモリMEM(1)109からの画像読出しを開始する方法などが考えられる。このとき注意すべき点は、CPUからの制御方法を容易にし、かつ時間的な無駄が生じないようにすることである。なお、このアクセス制御方法については後記に詳述する。一次メモリMEM(1)109から画像データを読み出す場合、一次メモリMEM(1)109からMEMリードバッファ308へは高速のバースト読み出しを<sup>20</sup>行うようにし、例えば、100MHzのクロックサイクルに同期して行う。MEMリードバッファ308への画像データのリードが終了した後に、画像データ出力制御部203(図2参照)へは高速に送らずに、例えば、50MHzの転送速度で送る。

【0044】また、本実施例では、一次メモリMEM(1)109に用いたSDRAM等と高速にアクセスするためのインターフェースの高速動作部分を必要最小限に減らし、かつ全体の動作スピードを落とさないようにするために、図3に示すように、入出力制御部307の入<sup>30</sup>力側には表裏面にそれぞれ単一のMEMライトバッファ305a、305b、出力側に、単一のMEMリードバッファ308とする構成をとっている。つまり、図3中に高速アクセス領域として示したように、一次メモリMEM(1)109へMEMライトバッファ305a、305bから高速バースト書き込みを行う領域、一次メモリMEM(1)109からMEMリードバッファ308へ高速バースト読み出しを行う領域に高速動作領域を限っている。これは、100MHzのようにならかなり高速になると、このようなインターフェース回路を半導体デバイス<sup>40</sup>上で実現することがかなり困難になるため、これを実現しやすくするための方法である。図4は、このようなメモリインターフェース回路においてあまり高速性が求められない場合の実施例の回路を示すものであるが、図4の構成によると、各々3本の表面ライトグルバッファ(1)~(3)401a~403aと裏面ライトグルバッファ(1)~(3)401b~403bの読出しは、一次メモリ109への書き込み速度、例えば100MHzで実行する必要があり、図4中に〈高速アクセス領域〉として示したように、100MHzで動作する回路が多く、ASI<sup>50</sup>

Cのチップ上で、これらの回路をなるべく入出力制御部(I/Oセル)407の近くに配置し、信号の伝播時間を最小限に抑えることがかなり難しくなる。これが、図3の構成をとると、同図中に〈高速アクセス領域〉として示したように、100MHzで動作する回路を比較的小さくでき、ASICのチップ上で、これら回路全部を入出力制御部(I/Oセル)307の近くに置くことが可能になる。こうした構成を採ることによって、信号の伝播時間が短くなるため、一次メモリMEM(1)109との100MHzもの高速アクセスを行っても確実な動作が保証される。

【0045】次に、一次メモリMEM(1)109に対するアクセス制御に関して説明する。一次メモリMEM(1)109では、上記のように同時に読み取られた原稿の表面、裏面の画像データを時分割で書き込むことにより、原稿画像データの記憶を行う。一方、この書き込みの間に割り込んで、記憶された表面、裏面の原稿画像データをシーケンシャルに(1チャンネルで)読み出して、パラレルバス120、IMAC121を介してMEM(2)122へ転送するという動作も求められ、こうした一次記憶する原稿画像データの書き込み、読みだし動作を効率よく行うためのアクセス制御を必要とする。こうしたアクセス制御を行うための手段として原稿画像データのフローをチェックするラインカウンタを用いる。図5は、このアクセス制御に使用するラインカウンタの構成例を示す。図5において、LINE501は、プロセスコントローラから設定されるライン数を格納するレジスタである。LINE501への書き込みは、カウンタロード信号ld\_lineを制御することにより実行する。CNTL502は、一次メモリMEM(1)109へ画像データの1ラインが書き込まれる毎に、あるいは一次メモリMEM(1)109から画像データが1ライン読み出される毎にインクリメントされるラインカウンタである。CNTL502のリセットは、res\_cntl信号を制御することにより、インクリメントはinc\_cntl信号を制御することにより実行する。コンパレータCMPは、レジスタLINEの値とカウンタCNTLの値を比較し、CNTLの値がLINEに設定している値以上になったときに比較結果LINE\_END信号をアサートすることで、設定したライン数に到達したことを知らせる機能を持つ。一次メモリMEM(1)109に記憶されているデータがアクセス可能な状態になったことを上記したラインカウンタの機能を用いてチェックし、一次メモリMEM(1)109に対するアクセス制御を行う。

【0046】上記ラインカウンタを用いた方式によるアクセス制御の実施例として、まず、一次メモリMEM(1)109から記憶された原稿画像データを読み出す場合について述べる。本実施例では、一次メモリMEM(1)109へのラインデータの書き込み数をチェックするラインカウンタが予め設定した所定のライン数に達し

23

たときに出力するLINE\_END信号(図5参照)に基づいて画像データの読み出しを開始させるようにする。そのために、下記①～③の制御方法を用いる。

① 読み取り制御を行うCPU(上記実施例において..は、プロセスコントローラ111を構成するCPU)の読み出しコマンドを用いない方法で、CPUからのコマンドを必要としないため、CPUによる制御の負荷が軽くかつ読み出し開始を時間の無駄なく行うことを可能とする方法である。具体的には、一次メモリMEM(1)109へのライン書き出しが予め設定した所定のライン数10に到達し、LINE\_END信号が出力されたら、この信号を直接、一次メモリMEM(1)109に対する読み出しのアクセス制御の開始信号に用いて、画像データ読み出しを行う。

② 読み取り制御を行うCPU側が一次メモリMEM..(1)109からの読み出しタイミングを管理し、かつ時間的に無駄なく画像読み出しを行うときに最適な方法で、CPUは、ラインカウンタからの信号により割り込みを受けた後、システム側に読み出した画像データを送信する旨を知らせることができるため、システム側でこのような情報を必要とする場合に使用する方法である。20 具体的には、一次メモリMEM(1)109へのライン書き込みが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、読み取り制御を行うCPUに割り込みを発生し、この割り込みを受けたCPUが画像読み出しコマンドを発行し、コマンドを受けて一次メモリMEM(1)109では、画像読み出しを開始する。

③ 読み取り制御を行うCPU側の制約で割り込みが使用..できず、上記②と同様に、システム側で読み出した画像30データが送信される旨の情報を必要とする場合に使用する方法である。具体的には、一次メモリMEM(1)109へのライン書き込みが予め設定した所定のライン数に到達したら、読み取り制御を行うCPUに知らせるためのフラグをセットする。CPUは、このフラグをポーリング等で監視しており、フラグによりライン書き込みが設定した所定のライン数に到達したことを認識したら、画像読み出しコマンドを発行し、コマンドを受けて一次メモリMEM(1)109では、画像読み出しを開始する。

【0047】上記ラインカウンタを用いた方式によるアクセス制御の実施例として、次に、一次メモリMEM(1)109に原稿の表面と裏面の双方の画像データが格納されているときに、記憶されたこれらの原稿画像データを読み出す場合、例えば原稿表面の画像データの読み出し中に、次の裏面の読み出しを開始する場合について述べる。本実施例では、一次メモリMEM(1)109へのラインデータ読み出し数を調べるラインカウンタにより一方の面の読み出しライン数をカウントし、その値が予め設定した所定のライン数(表面の原稿データが終わ40

24

るあたりのライン数)に達したときに出力するLINE\_END信号(図5参照)に基づいて他方の面の画像データの読み出しを開始させるようにする。そのために、下記④～⑥の制御方法を用いる。

④ 読み取り制御を行うCPU(上記実施例において..は、プロセスコントローラ111を構成するCPU)の読み出しコマンドを用いない方法で、CPUからのコマンドを必要としないため、CPUによる制御の負荷が軽くかつ読み出し開始を時間の無駄なく行うことを可能とする方法である。具体的には、一次メモリMEM(1)109から読み出した一方の面の画像データが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、この信号を直接、一次メモリMEM(1)109に対する他方の面の画像データ読み出しのアクセス制御の開始信号に用いて、画像データ読み出しを行う。

⑤ 読み取り制御を行うCPU側が一次メモリMEM..(1)109からの読み出しタイミングを管理し、かつ時間的に無駄なく画像読み出しを行うときに最適な方法で、CPUは、ラインカウンタからの信号により割り込みを受けた後、システム側に読み出した画像データを送信する旨を知らせることができるため、システム側でこのような情報を必要とする場合に使用する方法である。具体的には、一次メモリMEM(1)109から読み出した一方の面の画像データが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、読み取り制御を行うCPUに割り込みを発生し、この割り込みを受けたCPUが他方の面の画像読み出しコマンドを発行し、コマンドを受けて一次メモリMEM(1)109では、その画像データ読み出しを開始する。

⑥ 読み取り制御を行うCPU側の制約で割り込みが使用..できず、上記⑤と同様に、システム側で読み出した画像40データが送信される旨の情報を必要とする場合に使用する方法である。具体的には、一次メモリMEM(1)109から読み出した一方の面の画像データが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、読み取り制御を行うCPUに知らせるためのフラグをセットする。CPUは、このフラグをポーリング等で監視しており、フラグによりライン読み出しが設定した所定のライン数に到達したことを認識したら、他方の面の画像読み出しコマンドを発行し、コマンドを受けて一次メモリMEM(1)109では、その読み出しを開始する。

【0048】上記ラインカウンタを用いた方式によるアクセス制御に関する実施例として、次に、一次メモリMEM(1)109に記憶された原稿画像データの読み出し中に、次の原稿の読み込みを開始する場合について述べる。本実施例では、一次メモリMEM(1)109からのラインデータの読み出し数を調べるラインカウンタが予め設定した所定のライン数に達したときに出力するLINE\_END信号(図5参照)に基づいて、プロセスコ



25

ントローラ111に対し次の原稿の画像データの読み込みを開始させるようにする。そのために、下記㉔～㉖の制御方法を用いる。

㉔ 読み込み制御を行うCPU（上記実施例において..は、プロセスコントローラ111を構成するCPU）の読み込みコマンドを用いない方法で、CPUからのコマンドを必要としないため、CPUによる制御の負荷が軽くなかつ読み出し開始を時間の無駄なく行うことを可能とする方法である。具体的には、一次メモリMEM(1)109から読み出した画像データが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、この信号を直接、次の原稿の画像データの読み込み動作の開始信号に用いて、画像データの読み込みを行う。

㉕ 読み取り制御を行うCPU側が一次メモリMEM..(1)109からの読み出しタイミングを管理し、かつ時間的に無駄なく画像読み出しを行うときに最適な方法で、CPUは、ラインカウンタからの信号により割り込みを受けた後、システム側に読み出した画像データを送信する旨を知らせることができるため、システム側でこのような情報を必要とする場合に使用する方法である。具体的には、一次メモリMEM(1)109から読み出した画像データが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、読み取り制御を行うCPUに割り込みを発生し、この割り込みを受けたCPUが次の原稿の画像読み込みコマンドを発行し、コマンドを受けてプロセスコントローラ111では、その原稿の読み込みを開始する。

㉖ 読み取り制御を行うCPU側の制約で割り込みが使用できず、上記㉕と同様に、システム側で読み出した画像データが送信される旨の情報を必要とする場合に使用する方法である。具体的には、一次メモリMEM(1)109から読み出した画像データが予め設定した所定のライン数に到達し、LINE\_END信号が出力されたら、読み取り制御を行うCPUに知らせるためのフラグをセットする。CPUは、このフラグをポーリング等で監視しており、フラグによりライン読み出しが設定した所定のライン数に到達したことを認識したら、次の原稿の画像読み込みコマンドを発行し、コマンドを受けてプロセスコントローラ111では、その原稿の読み込みを開始する。

【0049】

【発明の効果】（1） 請求項1、20の発明に対応する効果

同時に入力される複数の画像データを時分割で一次メモリへ書き込み、書き込まれた複数の画像データ各々をシークエンシャルに一次メモリから読み出すようにしたことにより、転送先に接続されるパラレルバスへの接続口を1つにし、データ転送を1チャンネルで行うことが可能になり、転送先の受信制御或いは記憶装置を転送先とす

26

る場合にそのアクセス処理を簡易化し、従来例及び先行例において起きた問題点（従来技術を参照）の要因を発生させることがない。

（2） 請求項2の発明に対応する効果

上記（1）の効果に加え、一次メモリのメモリ入出力制御手段には、入力側にトグルバッファと高速の書き込みバッファを設け、出力側に高速の読み出しバッファを設けたことにより、一次メモリへの高速アクセスを確実に行うことが可能となり、また高速アクセスのためのインターフェース回路をASIC上で比較的容易に実現できるため、ASICの設計期間の短縮化を図ることができる。

（3） 請求項3の発明に対応する効果

上記（1）、（2）の効果に加え、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことにより、書き込みから読み出しの切り替えを最適なタイミングで行い、そのためのアクセス制御を簡単な手段により実現することが可能となる。

（4） 請求項4の発明に対応する効果

上記（1）～（3）の効果に加え、複数の画像データの入力を原稿の表裏各面を同時に読み取る原稿読み取り手段としたことにより、両面原稿をもとにその画像情報の入出力処理を行う装置（例えば、複写機や画像ファイリング装置等）における処理性能を向上させる。

（5） 請求項5の発明に対応する効果

上記（4）の効果に加え、一方の原稿面の画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データの読み出しを開始するようにしたことにより、一方の原稿面から他方の原稿面の読み出しの切り替えを最適なタイミングで行い、そのためのアクセス制御を簡単な手段により実現することが可能となる。

【0050】（6） 請求項6、21の発明に対応する効果

同時に入力される複数の画像データを時分割で一次メモリへ書き込み、書き込まれた複数の画像データ各々をシークエンシャルに一次メモリから読み出し、データ圧縮処理を施された後の画像データをフレームメモリに蓄積するようにしたことにより、データ圧縮処理を施された後の画像データをパラレルバス、IMACを介してフレームメモリに蓄積する場合に、パラレルバスへの接続口を1つにすることができ、このためパラレルバス上でのバス調停も複雑化せず、よってパラレルバスにおける負荷も増えず、又データ転送の際の電気的特性の悪化を防止することが可能となる。また、IMACでの受信チャネルが1チャンネルですむため、IMACでの受信バス調停も複雑化せず、HDDへの書き込み速度が低速でも、



27

2つのHDDを用意するという必要がない。さらに、HDDへの書き込み画像データに可変長圧縮をかける場合でも格納領域の間に空き領域が存在し、無駄が増えるという従来の問題点（従来技術を参照）を起こさずにすむ。

（7） 請求項7の発明に対応する効果

上記（6）の効果に加え、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことにより、書き込みから読み出しの切り替えを最適なタイミングで行い、そのためのアクセス制御を簡単な手段により実現することが可能となる。

（8） 請求項8の発明に対応する効果

上記（6）、（7）の効果に加え、複数の画像データの入力を原稿の表裏各面を同時に読み取る原稿読み取り手段としたことにより、両面原稿をもとにその画像情報の蓄積処理を行う装置（例えば、複写機、画像ファイリング装置等）における処理性能を向上させる。

（9） 請求項9の発明に対応する効果

上記（8）の効果に加え、一方の原稿面の画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データの読み出しを開始するようにしたことにより、一方の原稿面から他方の原稿面の読み出しの切り替えを最適なタイミングで行い、そのためのアクセス制御を簡単な手段により実現することが可能となる。

【0051】（10） 請求項10、22の発明に対応する効果

原稿の表裏各面を同時に読み取る原稿読み取り手段により読み取られた表裏各面の画像データを時分割で一次メモリへ書き込み、書き込まれた表裏各面の画像データ各々をシーケンシャルに一次メモリから読み出し、データ圧縮、補正を含む画像処理を施された後、フレームメモリに蓄積するようにしたことにより、画像処理後の画像データをパラレルバス、IMACを介してフレームメモリに蓄積する場合に、パラレルバスへの接続口を1つにすることができ、このためパラレルバス上でのバス調停も複雑化せず、またパラレルバスにおける負荷も増えないため、データ転送の際の電気的特性の悪化を防止することができ、IMACでの受信チャネルを2チャンネル必要とせず1チャンネルですむため、IMACでの受信バス調停も複雑にならず、画像データをHDD等に格納する場合に、HDDへの書き込み速度が低速（現状20Mバイト/秒）でも、2つのHDDを用意するという必要がなく、さらに、HDDへの書き込み画像データに可変長圧縮をかける場合でも格納領域の間に空き領域が存在し、無駄が増えるという従来の問題点（従来技術を参照）を起こさずにすみ、効率の良い利用ができる。

28

（11） 請求項11の発明に対応する効果

上記（10）の効果に加え、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、一次メモリからの画像データの読み出しを開始するようにしたことにより、書き込みから読み出しの切り替えを最適なタイミングで行い、そのためのアクセス制御を簡単な手段により実現することが可能となる。

（12） 請求項12の発明に対応する効果

上記（10）の効果に加え、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、原稿読み取りプロセスを制御するCPUに割り込みをかけ、CPUが発行するメモリリードコマンドに応じて、一次メモリからの画像データの読み出しを開始するようにしたことにより、CPUに割り込みをかけ、その制御下で書き込みから読み出しの切り替えが行われる場合に、CPU側の制御を簡略化でき、しかも最適なタイミングで実現できる。

（13） 請求項13の発明に対応する効果

上記（10）の効果に加え、画像データの一次メモリへの書き込みが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行するメモリリードコマンドに応じて、一次メモリからの画像データの読み出しを開始するようにしたことにより、割り込みが使えないCPUの制御下で書き込みから読み出しの切り替えが行われる場合に、CPU側の制御を簡略化でき、しかも最適なタイミングで実現できる。

【0052】（14） 請求項14の発明に対応する効果

上記（10）の効果に加え、一方の原稿面の画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により直接、他方の原稿面の画像データの読み出しを開始するようにしたことにより、一方の原稿面から他方の原稿面の読み出しの切り替えを最適なタイミングで行い、そのためのアクセス制御を簡単な手段により実現することが可能となる。

（15） 請求項15の発明に対応する効果

上記（10）の効果に加え、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割り込みをかけ、CPUが発行するメモリリードコマンドに応じて、他方の原稿面の画像データ読み出しを開始するようにしたことにより、CPUに割り込みをかけ、その制御下で一方の原稿面から他方の原稿面の読み出しの切り替えが行われる場合に、CPU側の制御を簡略化でき、しかも最適なタイミング

で実現できる。

(16) 請求項16の発明に対応する効果

上記(10)の効果に加え、一方の原稿面の画像データ読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により、この旨を示すフラグをセットし、原稿読み取りプロセスを制御するCPUがこのフラグを認識し、そのときに発行するメモリリードコマンドに応じて、他方の原稿面の画像データ読み出しを開始するようにしたことにより、割り込みが使えないCPUの制御下で一方の原稿面から他方の原稿面の読み出しの切り替えが行われる場合に、CPU側の制御を簡略化でき、しかも最適なタイミングで実現できる。

(17) 請求項17の発明に対応する効果

上記(10)の効果に加え、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号に直接応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことにより、1つの原稿から次の原稿の読み込みの開始を最適なタイミングで行い、そのための制御動作を簡単な手段により行うことが可能となる。

(18) 請求項18の発明に対応する効果

上記(10)の効果に加え、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割り込みをかけ、CPUが発行する読み込みコマンドに応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことにより、CPUに割り込みをかけ、その制御下で次の原稿の読み込みが開始される場合に、CPU側の制御を簡略化でき、しかも最適なタイミングで行うことが可能となる。

(19) 請求項19の発明に対応する効果

上記(10)の効果に加え、画像データの一次メモリからの読み出しが予め設定した所定のライン数に到達したときにラインカウンタが発生する信号により原稿読み取りプロセスを制御するCPUに割り込みをかけ、CPUが発行する読み込みコマンドに応じて、原稿読み取り手段が次の原稿の読み込みを開始するようにしたことにより、割り込みが使えないCPUの制御下で次の原稿の読み込みが開始される場合に、CPU側の制御を簡略化でき、しかも最適なタイミングで行うことが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例に係わるMFP(複合機)の概略ブロック図を示す。

【図2】 図1中のCDIC(データ圧縮/伸張回路付きのデータインターフェース制御部)の概要を示したブロック図である。

【図3】 図2中の画像入出力制御部の詳細を示したブ

ロック図である。

【図4】 図3に示すと同様のメモリインターフェース回路の他の回路例を示す。

【図5】 一次メモリMEM(1)のアクセス制御に使用するラインカウンタの構成例を示す。

【図6】 先行例のMFP(複合機)の概略ブロック図を示す。

【図7】 図6中のIPP(画像処理プロセッサ)の画像処理部の概略ブロック図を示す。

【図8】 図6中のCDIC(データ圧縮/伸張回路付きのデータインターフェース制御部)の概略ブロック図を示す。

【図9】 図6中のVDCの概略ブロック図を示す。

【図10】 図6中のIMAC(画像メモリアクセス制御部)の概略ブロック図を示す。

【図11】 図6中のFCUの概略ブロック図を示す。

【図12】 原稿両面の読み取りユニットを備えた先行例のMFP(複合機)のシステムを示すブロック図である。

【図13】 両面読み取りMFPの他の先行システム構成例を示すブロック図である。

【図14】 両面読み取りMFPのさらに他の先行システム構成例を示すブロック図である。

【図15】 図14中のCDIC(データ圧縮/伸張回路付きのデータインターフェース制御部)の概略ブロック図を示す。

【図16】 図14中のIPP(画像処理プロセッサ)の画像処理部の概略ブロック図を示す。

【図17】 表面、裏面を識別するための各画像データへの付加データの例を示す。

【符号の説明】

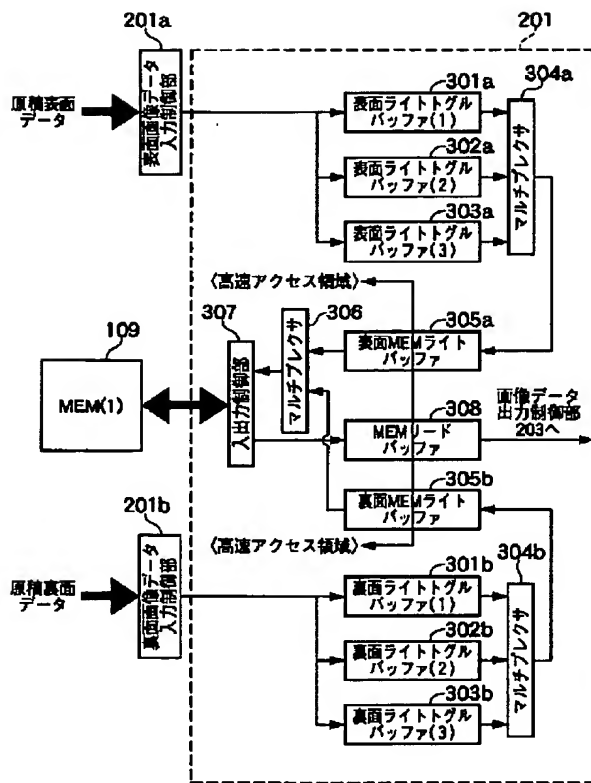
101a, 101b…表面、裏面読み取りユニット、102a, 102b…表面、裏面用SBU(センサーボードユニット)、103…CDIC(データ圧縮/伸張回路付きのデータインターフェース制御部) 104…IPP(画像処理プロセッサ)、109…一次メモリMEM(1)、110…シリアルバス、111…プロセスコントローラ、120…パラレルバス、121…IMAC(画像メモリアクセス制御部)、122…メモリモジュールMEM(2)、131…システムコントローラ、201a…表面画像データ入力制御部、201b…裏面画像データ入力制御部、202…メモリ入出力制御部、301～303a…表面ライトトグルバッファ(1)～(3)、301～303b…裏面ライトトグルバッファ(1)～(3)、305a…表面MEMライトバッファ、305b…裏面MEMライトバッファ、308…MEMリードバッファ、501…LINE(レジスタ)、502…CNTL(ラインカウンタ)、503…CMP(コンパレータ)。

The diagram illustrates the architecture of the image data processing system (CDIC) 103. It is divided into several functional blocks:

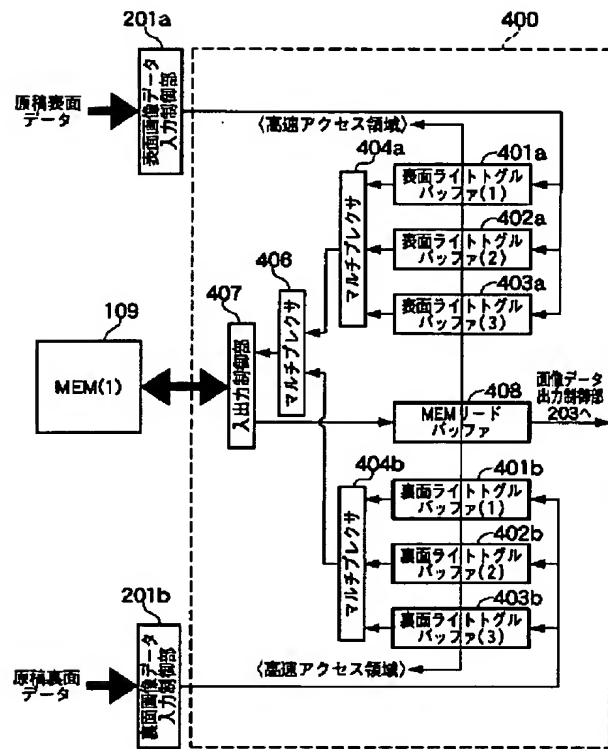
- Input Section:**
  - 原稿表面データ (Original Surface Data):** Input to the **表面画像データ入力制御部 (Surface Image Data Input Control Unit) 201a**.
  - 原稿裏面データ (Original Back Surface Data):** Input to the **裏面画像データ入力制御部 (Back Surface Image Data Input Control Unit) 201b**.
- Control and Memory Section:**
  - メモリ入出力制御部 (Memory Input/Output Control Unit) 202:** Manages data flow between the input control units and the data storage/output unit.
  - コマンド制御部 (Command Control Unit) 212:** Controls the overall operation of the system.
  - シリアルデータ I/F (Serial Data I/F) 211:** Interface for serial data communication with **IPP104**.
  - シリアルデータ I/F (Serial Data I/F) 210:** Interface for serial data communication with **シリアルバス 110 (Serial Bus 110)**.
- Data Processing and Output Section:**
  - 画像データ出力制御部 (Image Data Output Control Unit) 203:** Controls the output of image data to **IPPへ (To IPP)**.
  - 画像データ入力制御部 (Image Data Input Control Unit) 204:** Controls the input of image data from **IPPより (From IPP)**.
  - データ圧縮部 (Data Compression Unit) 205:** Compresses image data before output.
  - データ伸張部 (Data Decompression Unit) 208:** Decompresses image data received from the parallel bus.
  - データ変換部 (Data Conversion Unit):** Converts data between different formats or resolutions.
  - パワレルデータ I/F (Parallel Data I/F) 207:** Interface for parallel data communication with **パラレルバス 120 (Parallel Bus 120)**.

The data flow is as follows: Original surface and back surface data are input to their respective control units (201a, 201b). These units send data to the memory control unit (202), which then routes it to the output control unit (203) for output to the IPP. Data received from the IPP (204) is processed by the compression unit (205) and then the conversion unit. The conversion unit also receives data from the parallel bus (207) via the decompression unit (208). The system is controlled by the command control unit (212) and interfaces with the serial bus (210) and the parallel bus (207).

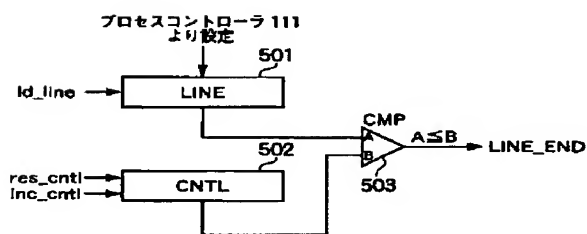
【図3】



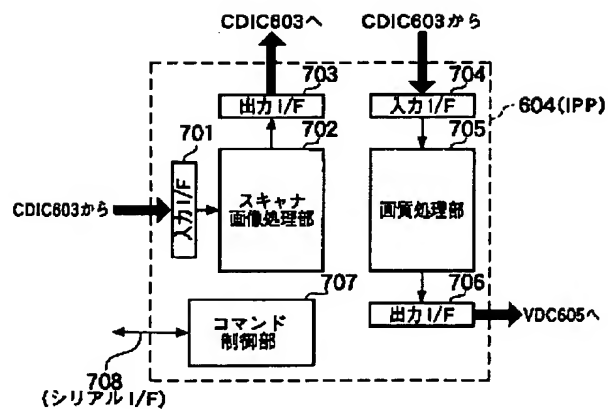
【図4】



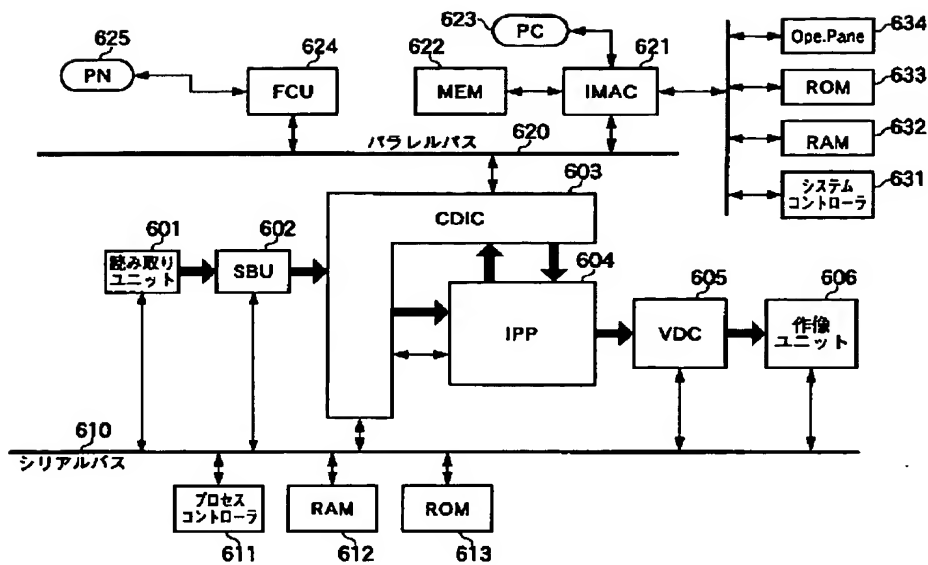
【図5】



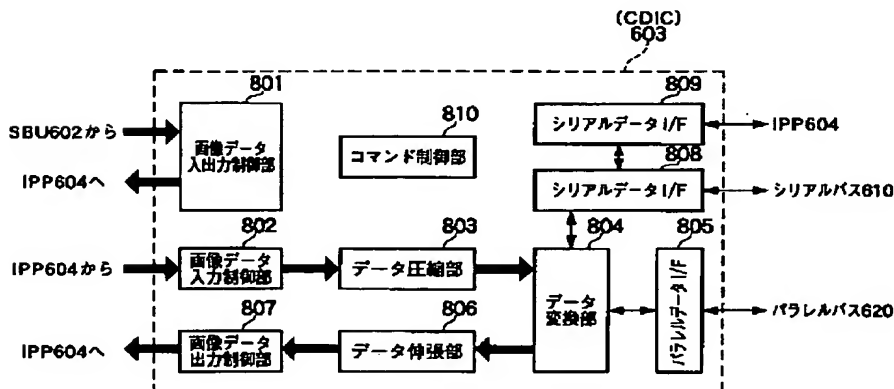
【図7】



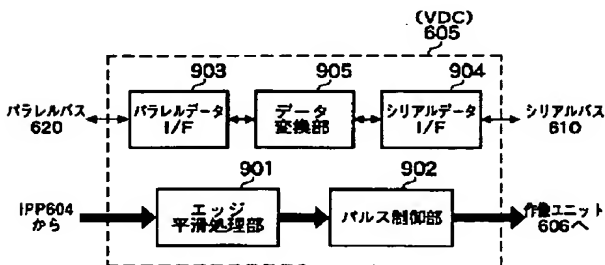
【図6】



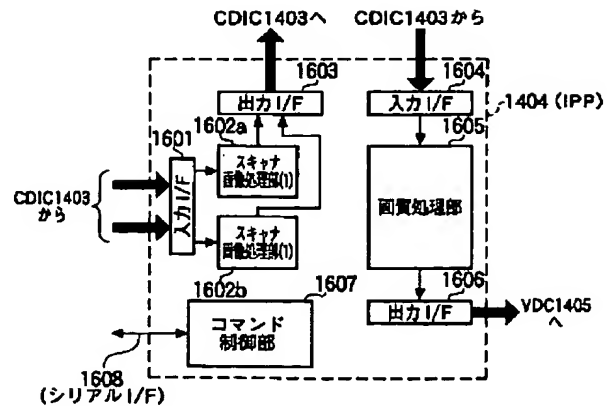
【図8】



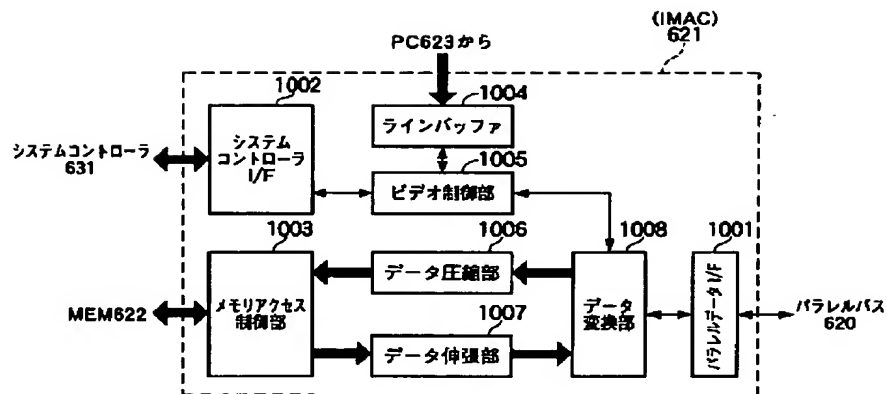
【図9】



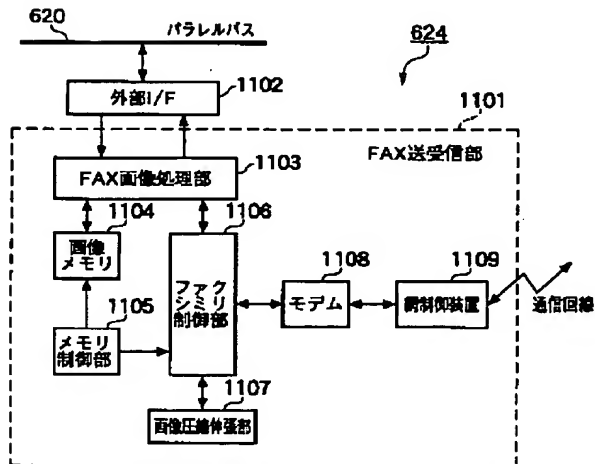
【図16】



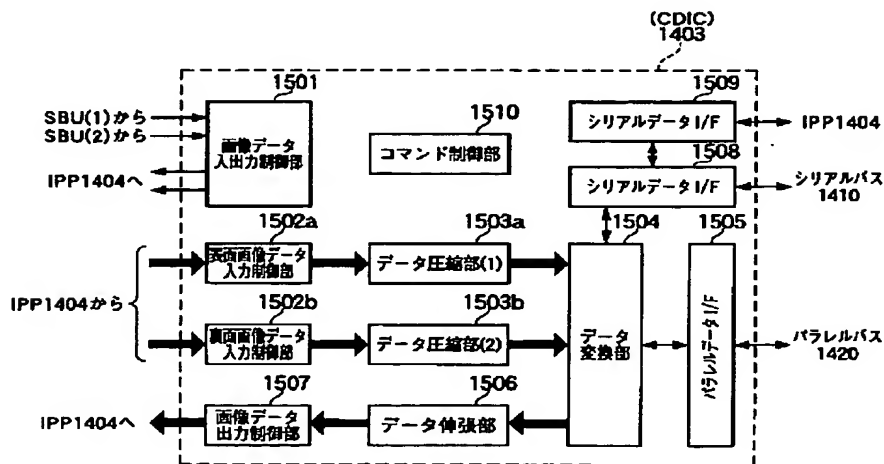
【図10】



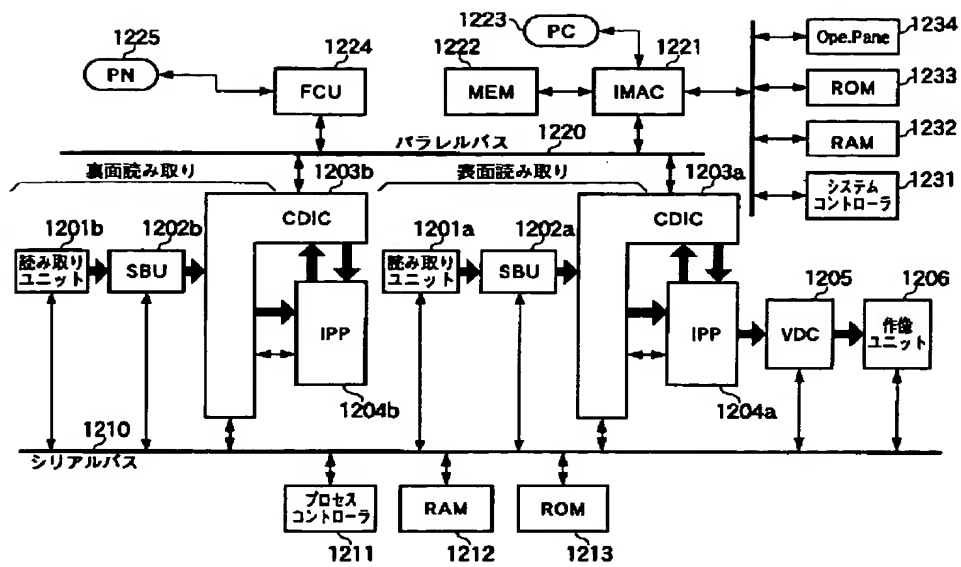
【図11】



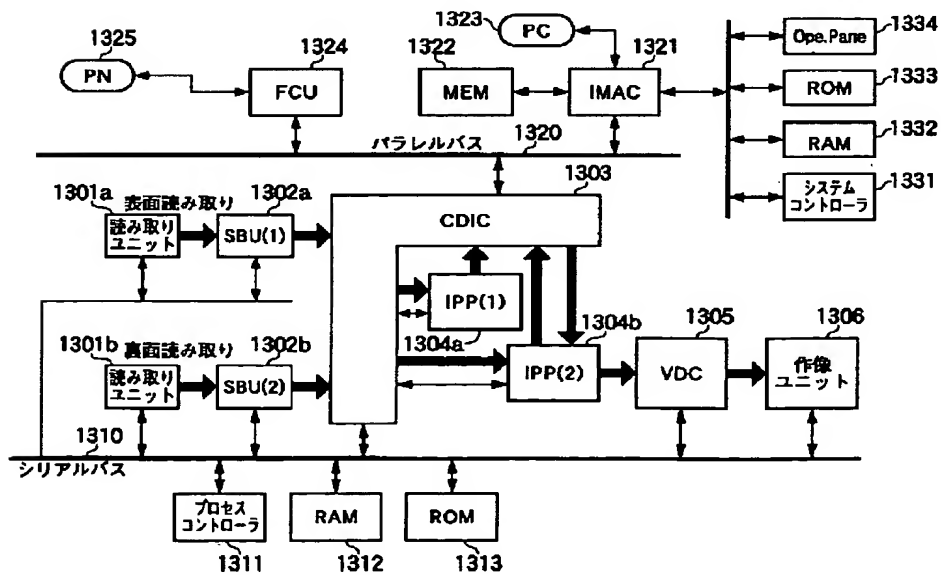
【図15】



【図12】

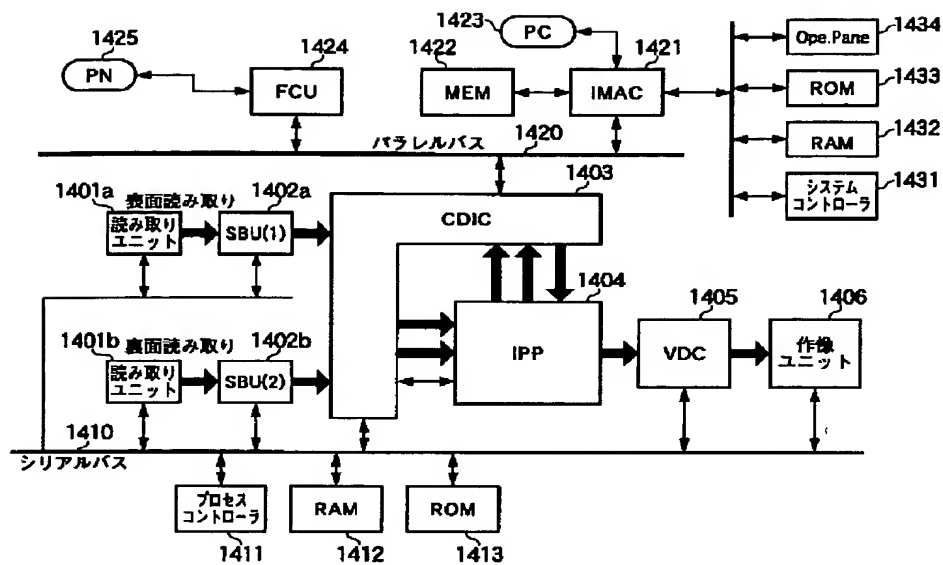


【図13】

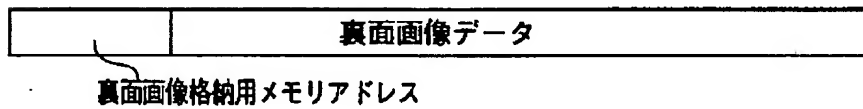
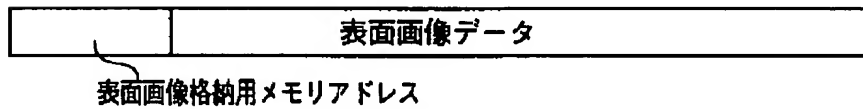




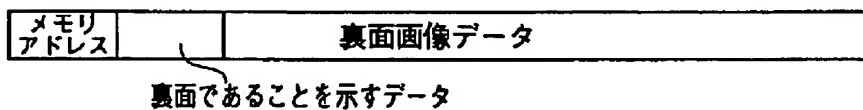
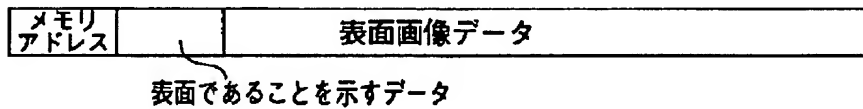
【図14】



【図17】



(a)



(b)